

【11】證書號數：I505642

【45】公告日：中華民國 104 (2015) 年 10 月 21 日

【51】Int. Cl.：H03K5/1252 (2006.01)

發明

全 4 頁

【54】名稱：具電磁干擾效應衰減之全數位展頻時脈產生電路及其控制方法

【21】申請案號：101149213

【22】申請日：中華民國 101 (2012) 年 12 月 21 日

【11】公開編號：201427281

【43】公開日期：中華民國 103 (2014) 年 07 月 01 日

【72】發明人：鍾菁哲 (TW)；何威達 (TW)

【71】申請人：國立中正大學

NATIONAL CHUNG CHENG
UNIVERSITY

嘉義縣民雄鄉大學路 168 號

【74】代理人：蔡秀玫

【56】參考文獻：

TW 200703875A

TW 200926601A

TW 201104382A1

US 2011/0006817A1

US 2012/0105919A1

Ching-Che Chung ET AL: "A Low-Power and Small-Area All-Digital Spread-Spectrum Clock Generator in 65nm CMOS Technology", 2012 International Symposium on VLSI Design, Automation, and Test (VLSI-DAT), April 2012, pages 1-4

審查人員：劉明諭

[57]申請專利範圍

1. 一種具電磁干擾效應衰減之全數位展頻時脈產生電路，其包含：一展頻時脈控制單元，其接收並依據至少一相位與頻率偵測訊號及一參考時脈計數訊號與一除頻時脈計數訊號，產生一調變器控制訊號；一相位頻率偵測單元，其接收並偵測一參考時脈訊號與一除頻時脈訊號，並對應產生該相位與頻率偵測訊號；一數位時脈振盪器，其依據該調變器控制訊號產生一輸出時脈訊號；一除頻單元，其耦接該數位時脈振盪器，並接收該輸出時脈訊號，以對該輸出時脈訊號進行除頻而產生一除頻時脈訊號；以及一頻率偵測單元，其接收該除頻時脈訊號與該參考時脈訊號，並依據該除頻時脈訊號與該參考時脈訊號產生該參考時脈計數訊號與該除頻時脈計數訊號，該展頻時脈控制單元依據該參考時脈計數訊號與該除頻時脈計數訊號而調整該輸出時脈訊號之一中心頻率。
2. 如申請專利範圍第 1 項所述之全數位展頻時脈產生電路，其中該展頻時脈控制單元讀取並比較該參考時脈計數訊號與該除頻時脈計數訊號之計數，當該參考時脈計數訊號之計數大於該除頻時脈計數訊號之計數時，該展頻時脈控制單元控制該輸出時脈訊號增加時脈頻率，當該除頻時脈計數訊號之計數大於該參考時脈計數訊號之計數時，該展頻時脈控制單元控制該輸出時脈訊號降低時脈頻率。
3. 如申請專利範圍第 1 項所述之全數位展頻時脈產生電路，更包含：一 $-\Sigma$ 調變器，其耦接於該展頻時脈控制單元與該數位時脈振盪器之間，該 $-\Sigma$ 調變器依據該調變器控制訊號產生一振盪器控制訊號至該數位時脈振盪器，該數位時脈振盪器接收該振盪器控制訊號並對應產生該輸出時脈訊號；以及一調變除頻器，其依據該輸出時脈訊號產生一調變時脈訊號至該調變器，該 $-\Sigma$ 調變器依據該調變時脈訊號控制該振盪器控制訊號之輸出。

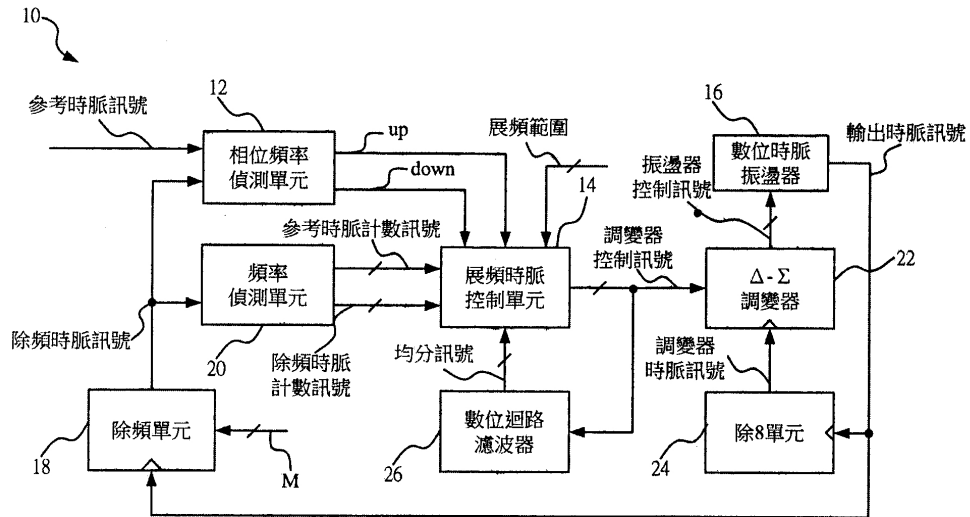
(2)

4. 如申請專利範圍第 3 項所述之全數位展頻時脈產生電路，其中該 $-\Sigma$ 調變器控制該數位時脈振盪器對該輸出時脈訊號進行三角調變。
5. 如申請專利範圍第 1 項所述之全數位展頻時脈產生電路，更包含：一數位迴路濾波器，其接收該展頻時脈控制單元所輸出之該調變器控制訊號並對應產生一均分訊號至該展頻時脈控制單元。
6. 如申請專利範圍第 1 項所述之全數位展頻時脈產生電路，其中該相位與頻率偵測訊號包含一第一電位訊號與一第二電位訊號，該展頻時脈控制單元依據該第一電位訊號與該第二電位訊號控制對參考時脈訊號的頻率與相位追蹤。
7. 一種全數位展頻時脈產生電路之控制方法，其包含：一相位與頻率偵測單元偵測一參考時脈訊號與一除頻時脈訊號，以產生一相位與頻率偵測訊號；一頻率偵測單元偵測一參考時脈訊號與一除頻時脈訊號，以產生一參考時脈計數訊號與一除頻時脈計數訊號；一展頻時脈控制單元依據該相位與頻率偵測訊號與該參考時脈計數訊號與該除頻時脈計數訊號，產生一調變器控制訊號；一數位時脈振盪器依據該調變器控制訊號產生一輸出時脈訊號；以及重新執行上述之所有步驟並依據該參考時脈計數訊號與該除頻時脈計數訊號調整控制該輸出時脈訊號之一中心頻率。
8. 如申請專利範圍第 7 項所述之全數位展頻時脈產生電路之控制方法，其中於一數位時脈振盪器依據該調變器控制訊號產生一輸出時脈訊號之步驟中包含：一 $-\Sigma$ 調變器依據該調變器控制訊號產生一振盪器控制訊號；以及該數位時脈振盪器依據該振盪器控制訊號控制該輸出時脈訊號，以改變該輸出時脈訊號之輸出頻率。
9. 如申請專利範圍第 8 項所述之全數位展頻時脈產生電路，其中該 $-\Sigma$ 調變器控制該數位時脈振盪器對該輸出時脈訊號進行三角調變。
10. 如申請專利範圍第 7 項所述之全數位展頻時脈產生電路之控制方法，其中於依據該參考時脈訊號與該除頻時脈訊號調整控制該輸出時脈訊號之中心頻率之步驟中，其為該展頻時脈控制單元讀取並比較該參考時脈計數訊號與該除頻時脈計數訊號，當該參考時脈計數訊號之計數大於該除頻時脈計數訊號之計數時，控制該輸出時脈訊號增加時脈頻率，當該除頻時脈計數訊號之計數大於該參考時脈計數訊號之計數時，控制該輸出時脈訊號降低時脈頻率。

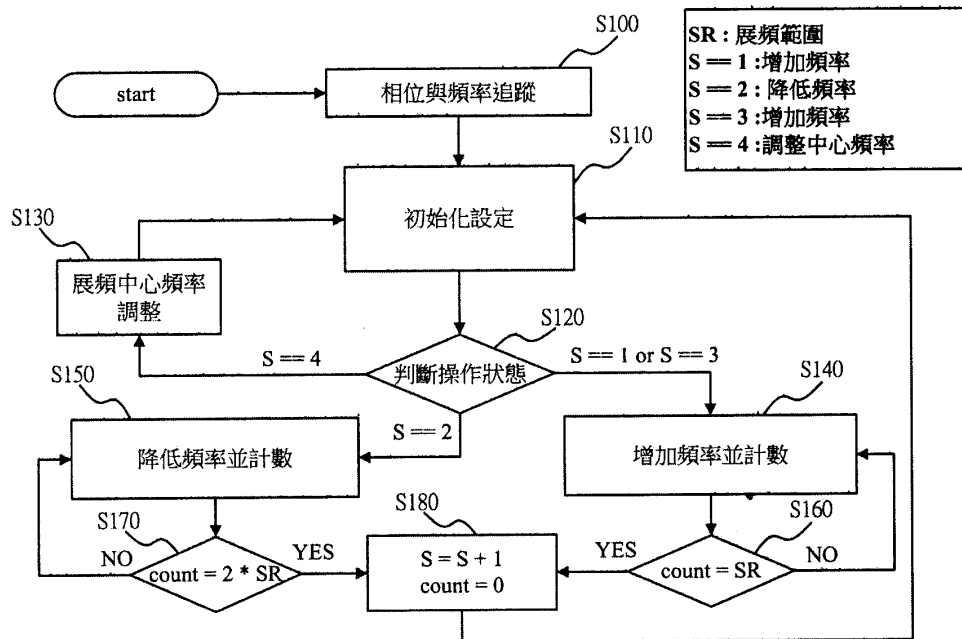
圖式簡單說明

第一圖為本發明之一實施例之方塊圖；第二圖為本發明之一實施例之流程圖；第三圖為本發明之偵測展頻時脈中心頻率飄移示意圖；以及第四圖為本發明之輸出時脈中心頻率調整流程圖。

(3)

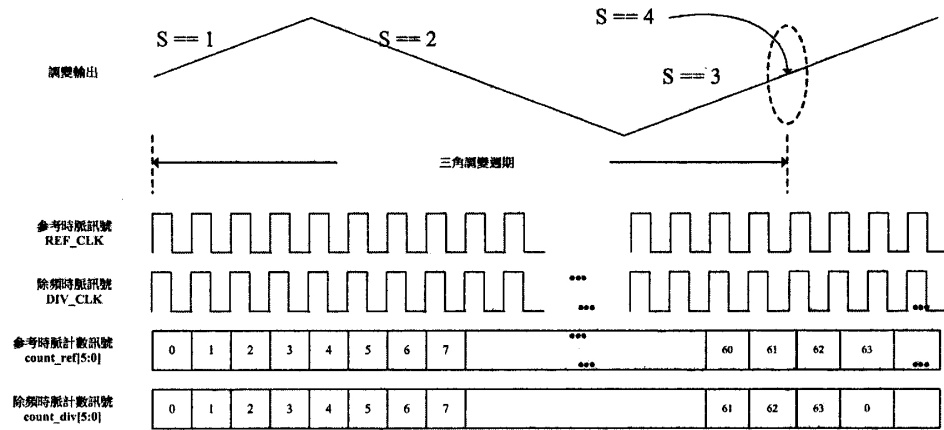


第一圖

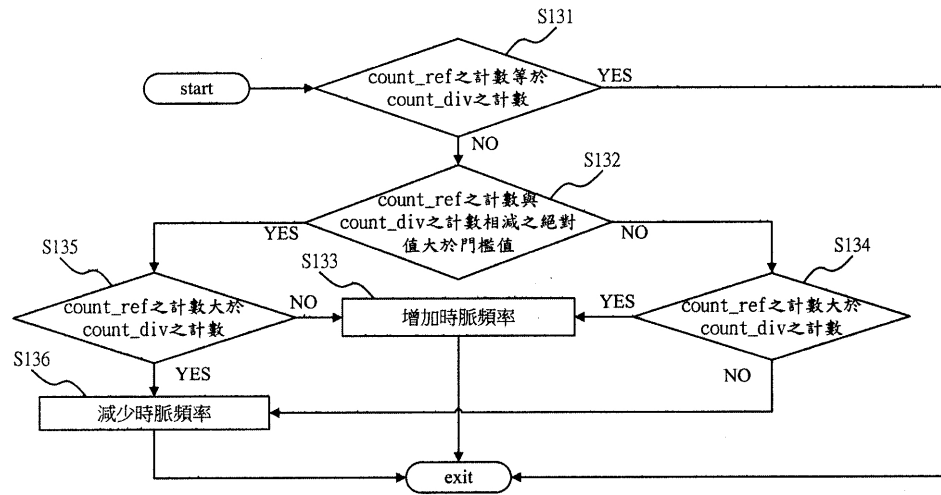


第二圖

(4)



第三圖



第四圖